**MIPS PIPELINE**

**– versiune pe 32 biți –**

*Ghiorghioiu Denisa*

*Grupa 30224*

**Cerinte functionale**

Sistemul trebuie să implementeze un pipeline MIPS pe 32 de biți cu 5 etape (Instruction Fetch - IF, Instruction Decode - ID, Execute - EX, Memory Access - MEM, Write Back - WB), capabil să suporte instrucțiunile de bază ale setului de instrucțiuni MIPS (R-type, I-type, J-type), să permită încărcarea și stocarea datelor(lw, sw), să gestioneze corect hazardele structurale, de date și de control, să execute instrucțiuni aritmetice necesare pentru calculul sumei unui set de numere, să gestioneze eficient execuția buclelor pentru a calcula suma numerelor într-un interval și să permită accesul la memoria principală pentru citirea numerelor și stocarea rezultatului final.

**Cerinte non functionale**

Pipeline-ul trebuie să maximizeze performanța execuției, reducând timpul de execuție și numărul de cicluri pe instrucțiune (CPI), să suporte scalarea la dimensiuni mai mari de date fără o degradare semnificativă a performanței, să funcționeze corect și fără erori pe toată durata execuției, să utilizeze eficient resursele hardware disponibile, minimizând consumul de energie și spațiul necesar, și să implementeze tehnici eficiente de gestionare a hazardelor pentru a evita pierderile de performanță. Am testat proiectul pe placuta Basys3 utilizand un SSD cu un switch pentru a putea vedea toti cei 8 biti ( primii 4 apoi ultimii 4).